

## ⑫ 公開特許公報(A) 平4-30385

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月3日

G 11 C 11/401  
H 01 L 27/1088526-5L G 11 C 11/34 3 6 2 B  
8624-4M H 01 L 27/10 3 2 5 V

審査請求 未請求 請求項の数 4 (全11頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 平2-136039

⑰ 出 願 平2(1990)5月25日

⑱ 発 明 者 小 谷 久 和 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
 ⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
 ⑳ 代 理 人 弁理士 前 田 弘

## 明 細 書

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

(1) メモリセルに直接接続されデータを読み書きする第1のビット線と、

一対の前記第1のビット線に接続されるセンス増幅器と、

一対又は複数対の前記第1のビット線の端部に該第1のビット線と同数個の第1のスイッチ素子を介して接続される第2のビット線対と、

複数対の前記第2のビット線対の端部に列選択信号により制御される第2のスイッチ素子を介して接続される共通データ線対と、

該共通データ線対の端部に接続されるメイン増幅器とを備えたことを特徴とする半導体記憶装置。

(2) メモリセルに直接接続されデータを読み書きする第1のビット線と、

一対の前記第1のビット線に接続されるセン

ス増幅器と、

一対又は複数対の前記第1のビット線の端部に該第1のビット線と同数個の第1のスイッチ素子を介して接続される第2のビット線対と、

一対の前記第2のビット線に接続され列選択信号により制御されるメイン増幅器と、

複数対の前記第2のビット線対の端部に前記列選択信号により制御される第2のスイッチ素子を介して接続される共通データ線対とを備えたことを特徴とする半導体記憶装置。

(3) メモリセルに直接接続されデータを読み書きする第1のビット線と、

一対の前記第1のビット線に接続されるセンス増幅器と、

一対又は複数対の前記第1のビット線の端部に、前記メモリセルを有するブロックを選択する信号及び列選択信号を入力とする論理素子により制御される該第1のビット線と同数個の第1のスイッチ素子を介して接続される第2のビット線対と、

一対の前記第2のビット線に接続されるメイン増幅器と、

複数対の前記第2のビット線対の端部に前記列選択信号により制御される第2のスイッチ素子を介して接続される共通データ線対とを備えたことを特徴とする半導体記憶装置。

(4) メモリセルに直接接続されデータを読み書きする第1のビット線と、

一対の前記第1のビット線に接続されるセンス増幅器と、

一対又は複数対の前記第1のビット線の端部に、前記メモリセルを有するブロックを選択する信号により制御される該第1のビット線と同数の第1のスイッチ素子及び該第1のスイッチ素子に直列に接続され列選択信号により制御される第2のスイッチ素子を介して接続される第2のビット線対と、

一対の前記第2のビット線に接続されるメイン増幅器と、

複数対の前記第2のビット線対の端部に前記

列選択信号により制御される第3のスイッチ素子を介して接続される共通データ線対とを備えたことを特徴とする半導体記憶装置。

### 3. 発明の詳細な説明

(産業上の利用分野)

本発明はデータをランダムに読み書きする半導体記憶装置に関するものである。

(従来の技術)

データをランダムに読み書きする半導体記憶装置、特にダイナミックランダムアクセスメモリ(DRAMと略す)は、大容量で且つ低コストのため近時においては最も広範に使用されていると共に、年々その大容量化及び高性能化が図られている。

DRAMの高性能化(高速化)の一手法としては、多重化ビット線方式が挙げられる[T. Mano et al., "Circuit Technologies for 16Mb DRAMs" ISSCC87 Digest of technical papers, p22(1987年2月)]。

第9図は、従来の多重化ビット線方式の構成を

示し、同図において、101は単位メモリセルであって、第10図に示すように1トランジスタTR、1キャパシタCSの構成をとる。また、第9図において、102は、メモリセル101の行方向を選択するワード線であって、第10図のトランジスタTRのゲートに相当する。また、同図において、103はメモリセル101から直接データの読み書きを行うビット線であって、第10図のトランジスタTRのドレインに接続されるものである。

第9図に示すように、2本一対のビット線103には、該ビット線103上の微小電位を増幅するためセンス増幅器SAが接続されている。また、各ビット線103の端部には、メモリセル101を含むブロックを選択する信号線105により制御されるスイッチ素子104を介して上位のビット線106が接続されている。尚、以下においては、ビット線106を上位ビット線106と称し、ビット線103を下位ビット線103と称する。

2本一対の上位ビット線106には、該上位ビ

ット線106上の微小電位を増幅するために、メイン増幅器MAが接続されている。また、各上位ビット線106の端部には、メモリセル101の列方向を選択する列デコーダYSにより制御されるスイッチ素子107を介して共通データ線対108が接続されている。この場合、複数対の上位ビット線106に対して一対の共通データ線対108が接続されている。

また、第11図は、以上のように構成された従来の多重化ビット線方式と異なるDRAMにおける基本的な構成(データ線直交方式と呼ぶ)を示し、同図において、201は単位メモリセル、202はメモリセル201の行方向を選択するワード線、203はメモリセル201から直接データの読み書きを行うビット線であって、該構成におけるビット線203には上位下位の区別はない。

2本一対のビット線203には、該ビット線203上の微小電位を増幅するために、センス増幅器SAが接続されていると共に、各ビット線203の端部には、メモリセル201の列方向を選択

する列デコードY Sにより制御されるスイッチ素子204が接続されている。また、複数対のビット線203に対して一対の共通データ線対208が接続されている。

前者の多重化ビット線方式は、後者のデータ線直交方式と比べて高速性を有するという利点を有している。これはセンス増幅器SAの後段のデータ線の浮遊容量の差によるものである。

すなわち、メモリセルにつながるビット線とセンス増幅器SAの後段のデータ線とを接続するタイミングは、センス増幅器SAの後段のデータ線の容量が小さい程速い。つまりセンス増幅器SAの後段のデータ線の浮遊容量が小さい程、高速動作が可能となる。センス増幅器SAの後段のデータ線は、多重化ビット線方式においては上位ビット線106であって、データ線直交方式においては共通データ線対208である。そして上位ビット線106の容量成分は主として配線容量であるのに対して、共通データ線対208の容量成分は配線容量とスイッチ素子204のドレイン領域の

拡散容量である。このため、通常、共通データ線対208のほうが2〜3倍大きな浮遊容量を有するので、多重化ビット線方式のほうが高速性を有しているのである。

(発明が解決しようとする課題)

しかしながら前記のような多重化ビット線方式の構成においては、16Mビットクラスでは、2048本〜4096本の上位ビット線が同時に動作する。即ち数千本の配線容量に対して電荷が電源電圧レベルあるいはグラウンドレベルに充放電される。

これに対して、データ線直交方式においては、同じく16Mビットクラスでは、4本〜16本の共通データ線対が同時に動作し、電荷が充放電される。

両方式において同時に充放電される容量の大きさを比較すると、明らかに多重化ビット線方式の方が大きいことが分かる。これは多重化ビット線方式の方が消費電流が大きいことを意味し、多重化ビット線方式は消費電流が大きいという問題を

有しているのである。

前記に鑑みて本発明は、多重化ビット線方式の高速性を損なうことなく、消費電流が従来と比較して小さくなる半導体記憶装置を提供することを目的とする。

(課題を解決するための手段)

前記の目的を達成するため、請求項(1)の発明は、メモリセルに直接接続されデータを読み書きする第1のビット線と、一対の前記第1のビット線に接続されるセンス増幅器と、一対又は複数対の前記第1のビット線の端部に該第1のビット線と同数個の第1のスイッチ素子を介して接続される第2のビット線対と、複数対の前記第2のビット線対の端部に列選択信号により制御される第2のスイッチ素子を介して接続される共通データ線対と、該共通データ線対の端部に接続されるメイン増幅器とを備える構成とするものである。

また、請求項(2)の発明は、メモリセルに直接接続されデータを読み書きする第1のビット線と、一対の前記第1のビット線に接続されるセンス増

幅器と、一対又は複数対の前記第1のビット線の端部に該第1のビット線と同数個の第1のスイッチ素子を介して接続される第2のビット線対と、一対の前記第2のビット線に接続され列選択信号により制御されるメイン増幅器と、複数対の前記第2のビット線対の端部に列選択信号により制御される第2のスイッチ素子を介して接続される共通データ線対とを備える構成とするものである。

また、請求項(3)の発明は、メモリセルに直接接続されデータを読み書きする第1のビット線と、一対の前記第1のビット線に接続されるセンス増幅器と、一対又は複数対の前記第1のビット線の端部に前記メモリセルを有するブロックを選択する信号及び列選択信号を入力とする論理素子により制御される前記第1のビット線と同数個の第1のスイッチ素子を介して接続される第2のビット線対と、一対の前記第2のビット線に接続されるメイン増幅器と、複数対の前記第2のビット線対の端部に、前記列選択信号により制御される第2のスイッチ素子を介して接続される共通データ線

対とを備える構成とするものである。

さらに、請求項(4)の発明は、メモリセルに直接接続されデータを読み書きする第1のビット線と、一対の前記第1のビット線に接続されるセンス増幅器と、一対又は複数対の前記第1のビット線の端部に前記メモリセルを有するブロックを選択する信号により制御される前記第1のビット線と同等数の第1のスイッチ素子及び該第1のスイッチ素子に直列に接続され列選択信号により制御される第2のスイッチ素子を介して接続される第2のビット線対と、一対の前記第2のビット線に接続されるメイン増幅器と、複数対の前記第2のビット線対の端部に前記列選択信号により制御される第3のスイッチ素子を介して接続される共通データ線対とを備える構成とするものである。

#### (作用)

請求項(1)の発明の構成により、メイン増幅器が、第2のビット線対の端部に接続され列選択信号により制御される第2のスイッチ素子の後段に設けられているため、同時に動作する第2ビット線の

数、即ち同時に電源電圧レベルあるいはグランドレベルに充放電されるビット線の数が増加する。

請求項(2)の発明の構成により、列選択信号により第2のスイッチ素子と同時に選択されるメイン増幅器のみが作動し、選択された第2ビット線対のみが増幅されるので、前記同様、同時に動作する第2ビット線の数が増加する。

請求項(3)の発明の構成により、列選択信号により第2のスイッチ素子と同時に選択される第2のビット線対にのみ第1のビット線対の信号が転送され、選択された第2のビット線対のみがメイン増幅器により増幅されるので、前記同様、同時に動作する第2ビット線の数が増加する。

請求項(4)の発明の構成により、列選択信号により第3のスイッチ素子と同時に選択される第2のビット線対にのみ第1のビット線対の信号が転送され、選択された第2のビット線対のみがメイン増幅器により増幅されるので、前記同様、同時に動作する第2ビット線の数が増加する。

#### (実施例)

以下、本発明の実施例を図面に基いて説明する。

第1図は本発明の第1実施例に係る半導体記憶装置の構成図を示し、同図において、301は単位メモリセル、302はメモリセル301の行方向を選択するワード線であって、該ワード線302は第10図に示すトランジスタTRのゲートに相当する。

第1図において、303はメモリセル301から直接データの読み書きを行うビット線であって、第10図に示すトランジスタTRのドレインに接続されるものである。2本一対のビット線303には、該ビット線303上の微小電位を増幅するために、センス増幅器SAが接続されている。また、各ビット線303の端部には第1のスイッチ素子304の一端が接続され、該第1のスイッチ素子304は前記メモリセル301を含むブロックを選択する信号線305により制御される。

第1のスイッチ素子304の他端には上位ビット線306が接続され、該上位ビット線306の

端部には第2のスイッチ素子307の一端が接続され、該第2のスイッチ素子307はメモリセル301の列方向を選択する列デコードYSにより制御される。また、第2のスイッチ素子307の他端には共通データ線対308が接続されている。この場合、複数対の上位ビット線対306に対して一対の共通データ線対308が接続されており、共通データ線対308の他端にはメイン増幅器MAが接続されている。

以下、第1実施例に係る半導体記憶装置の動作を第2図に基いて説明する。

まず、ワード線302が立ち上がり、メモリセル301からビット線対303に微小電位があらわれ、タイミング1の時にセンス増幅器SAが動作してビット線対303の電位が増幅される。

次に、タイミング2の時にブロック選択信号305が立ち上がり、ビット線対303の電位が上位ビット線対A306、B306に転送される。このとき、上位ビット線対A306に対応するコラム選択信号線A307(第1図における第2の

スイッチ素子307のゲート信号)が立ち上がる一方、上位ビット線対B306に対応するコラム選択信号線B307はロウレベルのままである。

次に、タイミング3の時にメイン増幅器MAが動作し、上位ビット線対A306の電位が初期の微小電位状態から、電源電圧VccレベルからグランドVssレベルまでの範囲に増幅される一方、上位ビット線B306は初期の微小電位状態のままである。

以上説明したように、第1実施例によると、第2のスイッチ素子307の後段にメイン増幅器MAを設けたため、選択された上位ビット線対306のみが増幅されるので、従来の多重化ビット線方式と比較してVccレベル或いはVssレベルに充放電される上位ビット線対の数を大幅に減少させることができる。このため、第1実施例によると消費電流が従来より減少するという効果を得ることができる。

第3図は本発明の第2実施例に係る半導体記憶装置の構成図を示し、同図において、401は単

位メモリセル、402はメモリセル401の行方向を選択するワード線であって、該ワード線402は第10図に示すトランジスタTRのゲートに相当する。

第3図において、403はメモリセルから直接データの読み書きを行うビット線であって、第10図のトランジスタTRのドレインに接続されるものである。2本一對のビット線403には、該ビット線403上の微小電位を増幅するため、センス増幅器SAが接続されている。また、各ビット線403の端部には第1のスイッチ素子404の一端が接続され、該第1のスイッチ素子404は前記メモリセル401を含むブロックを選択する信号線405により制御される。

第1のスイッチ素子404の他端には上位ビット線406が接続され、該上位ビット線406の端部には第2のスイッチ素子407の他端が接続され、該第2のスイッチ素子407はメモリセル401の列方向を選択する列デコーダYSにより制御される。また、スイッチ素子407の他端に

は共通データ線対408が接続されている。この場合、複数対の上位ビット線406に対して一對の共通データ線対408が接続されており、また、上位ビット線対406にはメモリセルの列方向を選択する列デコーダYSにより制御されるメイン増幅器MAが接続されている。このため、複数対存在する上位ビット線対406のうち、選択される第2のスイッチ素子407の接続された上位ビット線対406のみが増幅される。

以下、第2実施例に係る半導体記憶装置の動作を第4図に基づいて説明する。

まず、ワード線402が立ち上がり、メモリセル401からビット線対403に微小電位があらわれ、タイミング1の時にセンス増幅器SAが動作してビット線対403の電位が増幅される。

次に、タイミング2の時にブロック選択信号405が立ち上がり、ビット線対403の電位が上位ビット線対A406、B406に転送される。このとき、上位ビット線対A406に対応するコラム選択信号線A407(第3図における第2の

スイッチ素子407のゲート信号)が立ち上がる一方、上位ビット線対B406と対応するコラム選択信号線B407はロウレベルのままである。同時にコラム選択信号線A407により、上位ビット線対A406に接続されたメイン増幅器MAのメイン増幅器活性化信号MAEのみが立ち上がり、上位ビット線対A406に接続されたメイン増幅器MAが動作を開始して上位ビット線対A406の電位はVccレベル或いはVssレベルに増幅される一方、上位ビット線対B406は初期の微小電位状態のままである。

以上説明したように、第2の実施例によると、列デコーダYSにより第2のスイッチ素子407と同時に選択されるメイン増幅器MAのみが動作するため、選択された上位ビット線対406のみが増幅されるので、従来の多重化ビット線方式と比較してVccレベル或いはVssレベルに充放電される上位ビット線対の数を大幅に減少させることができる。このため、第2実施例によると消費電流が従来より減少するという効果を得ること

ができる。

第5図は本発明の第3実施例に係る半導体記憶装置の構成図を示し、同図において、501は単位メモリセル、502はメモリセルの行方向を選択するワード線であって、該ワード線502は第10図に示すトランジスタTRのゲートに相当する。

第5図において、503はメモリセル501から直接データの読み書きを行うビット線であって、第10図に示すトランジスタTRのドレインに接続されるものである。2本一対のビット線503には、該ビット線503上の微小電位を増幅するために、センス増幅器SAが接続されている。各ビット線503の端部には第1のスイッチ素子504の一端が接続され、該第1のスイッチ素子504は、前記メモリセル501を含むブロックを選択する信号線505と前記メモリセル501の列方向を選択する列デコーダYSの出力信号506を入力とする論理素子507（第5図においては2入力AND）により制御される。第1のスイ

ッチ素子504の他端には上位ビット線508が接続され、該上位ビット線508の端部には第2のスイッチ素子509の一端が接続され、該第2のスイッチ素子509はメモリセル501の列方向を選択する列デコーダYSにより制御される。また各々の上位ビット線508には1個ずつメイン増幅器MAが接続され、スイッチ素子509の他端には共通データ線510が接続されている。この場合、複数対の上位ビット線508に対して一対の共通データ線510が接続されている。

以下、第1実施例に係る半導体記憶装置の動作を第6図に基づいて説明する。

まず、ワード線502が立ち上がり、メモリセル501からビット線503に微小電位があらわれ、タイミング1の時にセンス増幅器SAが動作してビット線503の電位が増幅される。次に、ブロック選択信号505が立ち上がり、さらに上位ビット線508に対応するコラム選択信号線A506が立ち上がる。そして、この結果

を受けて上位ビット線508と対応する第1のスイッチ素子A504の制御信号が立ち上がる一方、上位ビット線508と対応するスイッチ素子B504の制御信号はロウレベルのままである。

従って、タイミング2に示されるようにビット線503の電位は上位ビット線508にのみ転送され、タイミング3のときにメイン増幅器MAが活性化されて上位ビット線508の電位はVccレベル或いはVssレベルに増幅される一方、上位ビット線508には電位差が現れないので初期状態のままである。

以上説明したように、第3実施例によると、列デコーダYSによって第2のスイッチ素子509と同時に選択された上位ビット線508にのみ下位ビット線503の信号が転送されるため、選択された上位ビット線508のみがメイン増幅器MAにより増幅されるので、従来の多重化ビット線方式と比較してVccレベル或いはVssレベルに充放電される上位ビット線対の数を大幅

に減少させることができる。このため、第3実施例によると消費電流が従来より減少するという効果を得ることができる。

第7図は本発明の第4実施例に係る半導体記憶装置の構成図を示し、同図において、601は単位メモリセル、602はメモリセル601の行方向を選択するワード線であって、該ワード線601は第10図に示すトランジスタTRのゲートに相当する。

第7図において、603はメモリセル601から直接データの読み書きを行うビット線であって、第10図に示すトランジスタTRのドレインに接続されるものである。2本一対のビット線603には、該ビット線603上の微小電位を増幅するために、センス増幅器SAが接続されている。各ビット線603の端部には第1のスイッチ素子604の一端が接続され、該第1のスイッチ素子604は前記メモリセル601を含むブロックを選択する信号線606により制御される。さらに第1のスイッチ素子604の他端には該第1のスイ

ッチ素子604と直列に第2のスイッチ素子605の一端が接続されており、該第2のスイッチ素子605は、メモリセル601の列方向を選択する列デコーダYSの出力信号607により制御される。第2のスイッチ素子605の他端には、上位ビット線608が接続され、該上位ビット線608の端部には第3のスイッチ素子609の一端が接続されており、該第3のスイッチ素子609は、メモリセル601の列方向を選択する列デコーダYSにより制御される。また各々の上位ビット線対608には1個ずつメイン増幅器MAが接続され、第3のスイッチ素子609の他端には共通データ線対610が接続されている。この場合、複数対の上位ビット線対608に対して一対の共通データ線対610が接続されている。

以下、第4実施例に係る半導体記憶装置の動作を第8図に基づいて説明する。

まず、ワード線602が立ち上がり、メモリセル601からビット線対603に微小電位があらわれ、タイミング1の時にセンス増幅器SAが動

作してビット線対603の電位が増幅される。つぎにブロック選択信号606が立ち上がり、さらに上位ビット線対A608に対応するコラム選択信号線A607が立ち上がる。この結果を受けて上位ビット線対A608と対応する第1及び第2のスイッチ素子A604、A605の制御信号が立ち上がり、ビット線対603と上位ビット線対A608が電気的に同レベルになる一方、上位ビット線対B608と対応する第2のスイッチ素子B605の制御信号はロウレベルのままである。即ちビット線対603と上位ビット線対B608は電気的にオープンになるため、タイミング2に見られるようにビット線対603の電位は上位ビット線対A608にのみ転送され、タイミング3のときに、メイン増幅器MAが活性化されて上位ビット線対A608の電位は $V_{cc}$ レベル或いは $V_{ss}$ レベルに増幅される一方、上位ビット線対B608には電位差が現れないので初期状態のままである。

以上説明したように、第4実施例によると、列

デコーダYSにより第3のスイッチ素子609と同時に選択された上位ビット線対608にのみ下位ビット線対603の信号が転送される。即ち選択された上位ビット線対608のみがメイン増幅器MAにより増幅されるので、従来の多重化ビット線方式に比較して $V_{cc}$ レベル或いは $V_{ss}$ レベルに充放電される上位ビット線対608の数を大幅に減少させることができる。このため、第4実施例によると消費電流が従来より減少するという効果を得ることができる。

#### (発明の効果)

以上説明したように、請求項(1)~(4)の発明によると、列選択信号により選択される第2のビット線対のみがメイン増幅器により増幅されるため、従来の多重化ビット線方式と比較して $V_{cc}$ レベル或いは $V_{ss}$ レベルに充放電される上位ビット線対の数を大幅に減少させることができる。

このため、請求項(1)~(4)の発明に係る半導体記憶装置は、消費電流を従来より大きく減少させることができるので、その実用的効果は極めて大き

い。

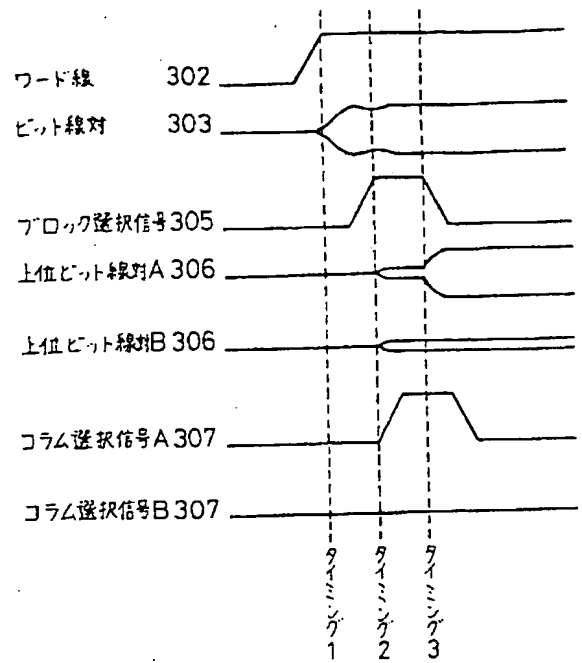
#### 4. 図面の簡単な説明

第1図は本発明の第1実施例に係る半導体記憶装置の構成図、第2図は第1実施例の動作を示す波形図、第3図は本発明の第2実施例に係る半導体記憶装置の構成図、第4図は第2実施例の動作を示す波形図、第5図は本発明の第3実施例に係る半導体記憶装置の構成図、第6図は第3実施例の動作を示す波形図、第7図は本発明の第4実施例に係る半導体記憶装置の構成図、第8図は第4実施例の動作を示す波形図、第9図は従来の多重化ビット線方式の半導体記憶装置の構成図、第10図は単位メモリセルの等価回路図、第11図はデータ線直交方式の半導体記憶装置の構成図である。

301, 401, 501, 601...メモリセル  
302, 402, 502, 602...ワード線  
303, 403, 503, 603...ビット線  
(第1のビット線)

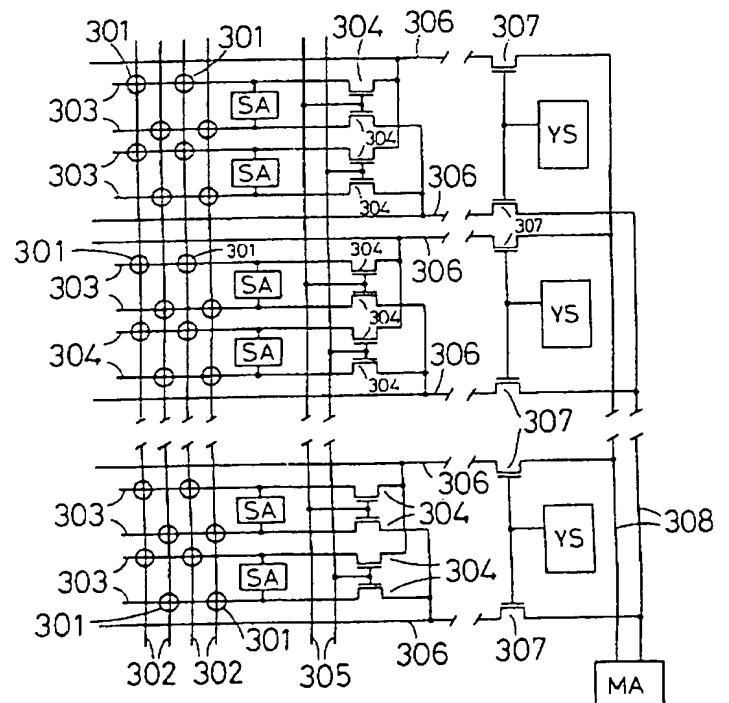
304, 404, 504, 604…第1のスイッチ素子  
 305, 405, 505, 606…ブロック選択信号  
 306, 406, 508, 608…上位ビット線(第2のビット線)  
 307, 407, 509, 605…第2のスイッチ素子  
 308, 408, 510, 610…共通データ線  
 506, 607…列選択信号線  
 507…論理素子  
 609…第3のスイッチ素子  
 SA…センス増幅器  
 MA…メイン増幅器  
 YS…列デコーダ

特許出願人 松下電器産業株式会社  
 代理人 弁理士 前田 弘



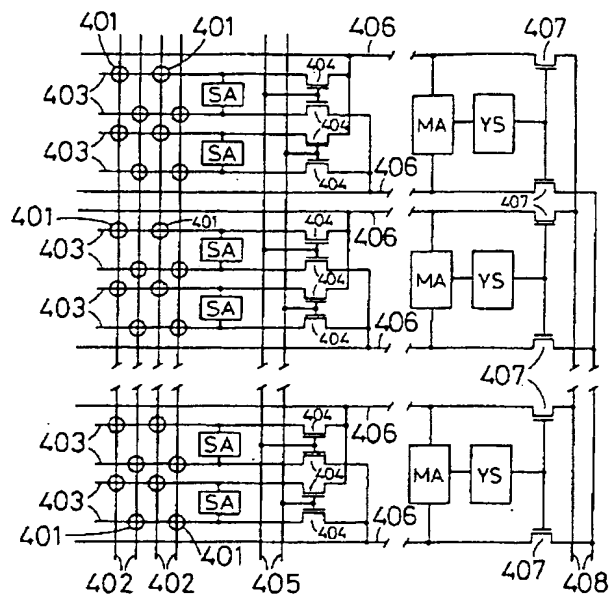
第 2 図

301, 401, 501, 601…メモリセル  
 302, 402, 502, 602…ワード線  
 303, 403, 503, 603…ビット線(第1のビット線)  
 304, 404, 504, 604…第1のスイッチ素子  
 305, 405, 505, 606…ブロック選択信号  
 306, 406, 508, 608…上位ビット線(第2のビット線)  
 307, 407, 509, 605…第2のスイッチ素子  
 308, 408, 510, 610…共通データ線  
 506, 607…列選択信号線  
 507…論理素子  
 609…第3のスイッチ素子  
 SA…センス増幅器  
 MA…メイン増幅器  
 YS…列デコーダ

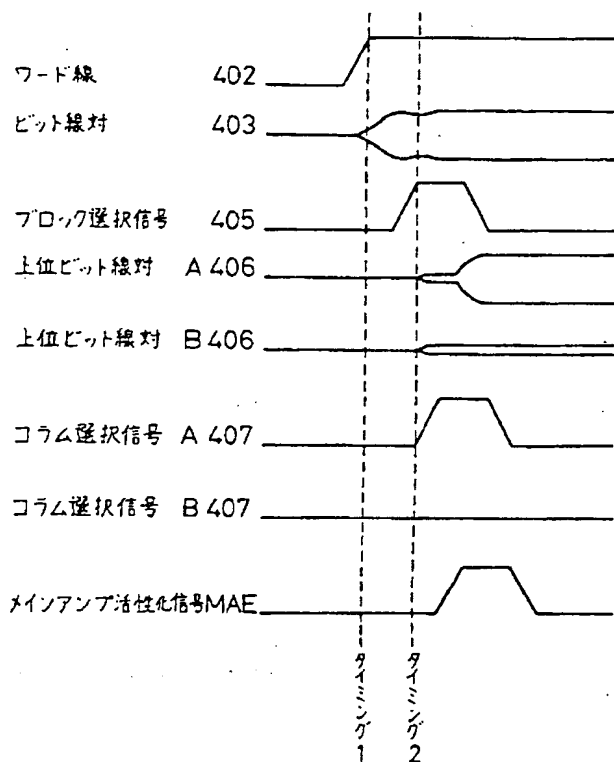


第 1 図

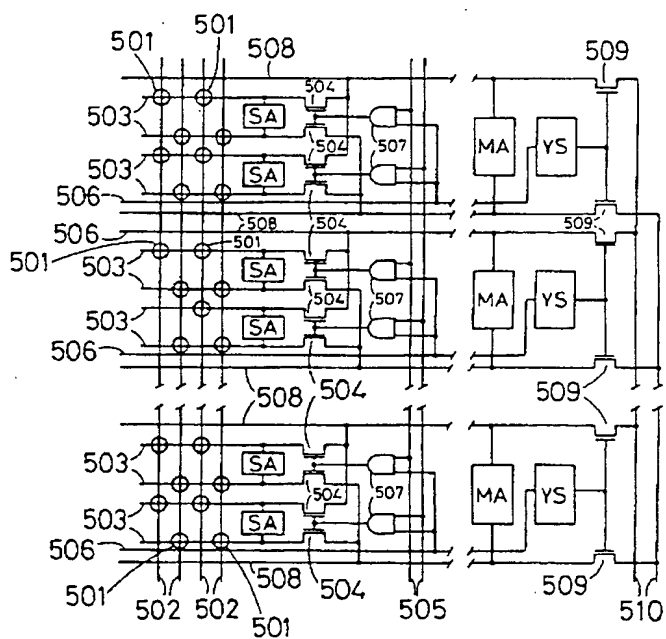




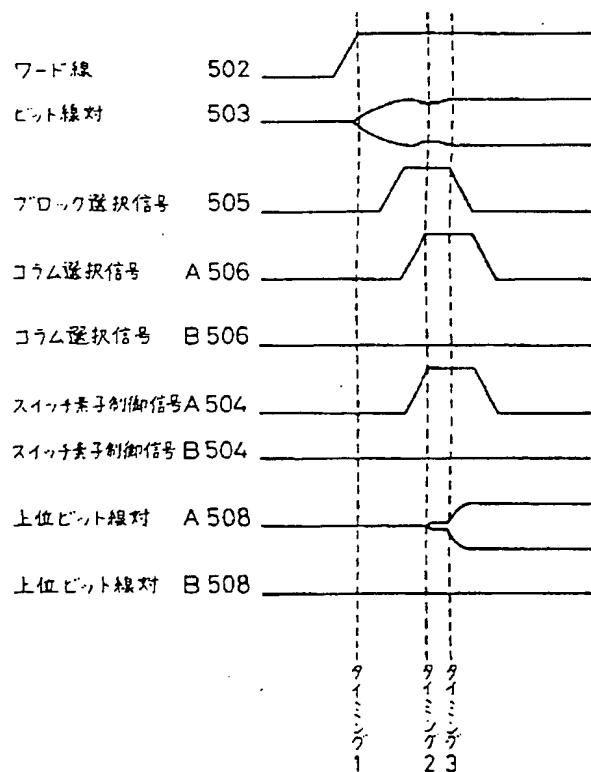
第 3 図



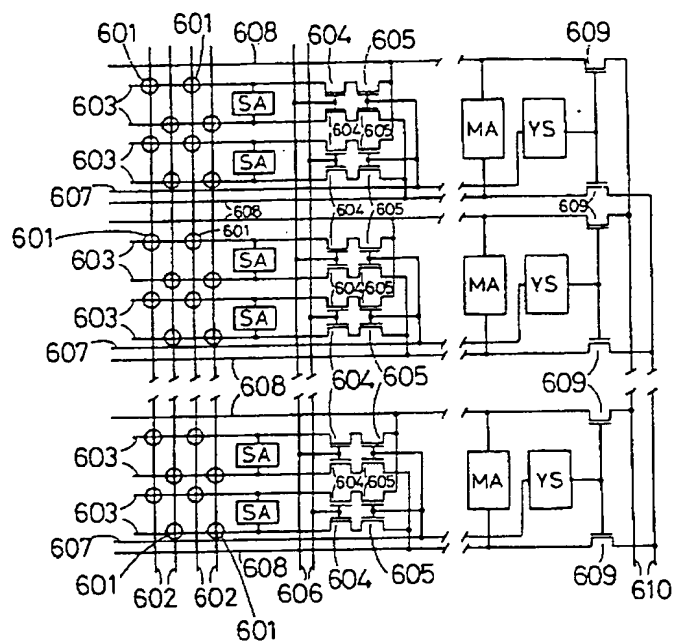
第 4 図



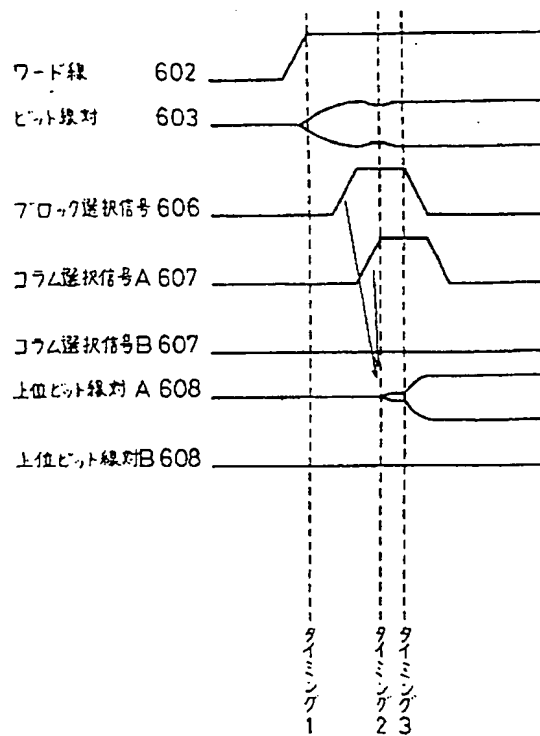
第 5 図



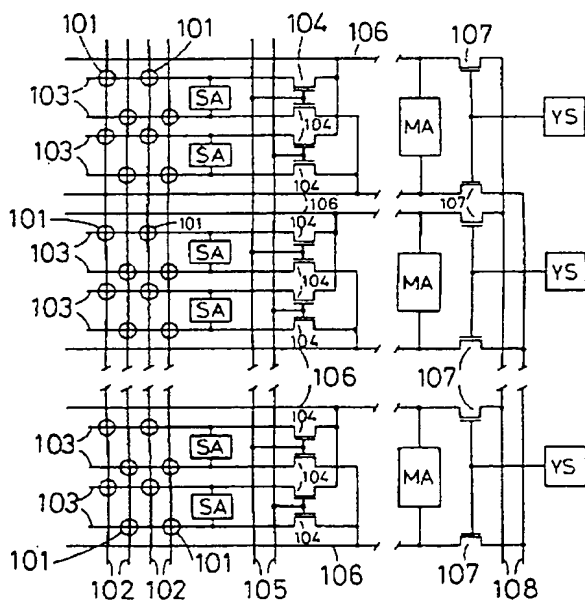
第 6 図



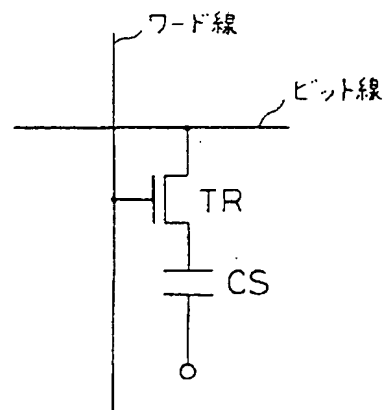
第 7 図



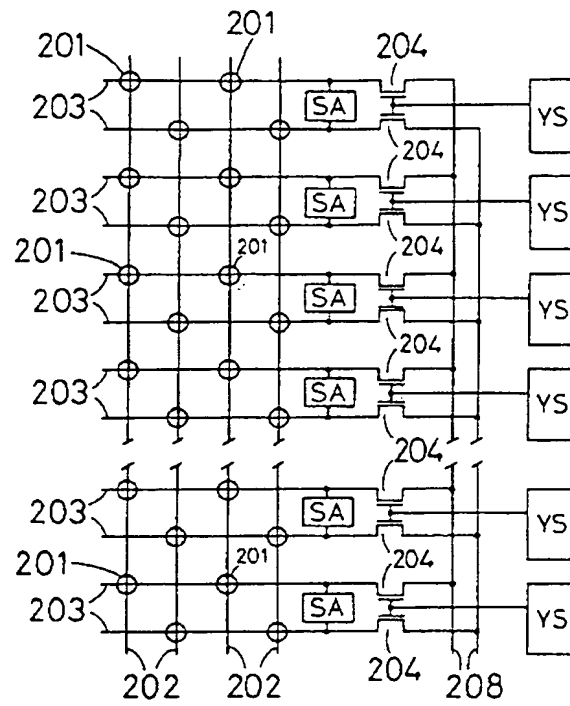
第 8 図



第 9 図



第 10 図



第 11 図